

SEMICONDUCTOR LASER DEVICE AND MANUFACTURE THEREOF

Patent Number: JP9293928
Publication date: 1997-11-11
Inventor(s): TADA HITOSHI;; NAGAI YUTAKA
Applicant(s): MITSUBISHI ELECTRIC CORP
Requested Patent: ☐ JP9293928

Application Number: JP19960106524 19960426

Priority Number(s):

IPC Classification: H01S3/18; H01L21/265

EC Classification:

Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide a semiconductor laser device having a flat surface free from irregularity which causes stress when assembling and to provide the manufacturing method of the semiconductor laser device.

SOLUTION: A lower clad layer 2, an active layer 3, an upper clad layer 4 and a p-GaN layer 5 are crystal grown successively on an n-GaAs layer 1, and a SiN film, obtained by removing by etching about several 10 μ m of the part corresponding to laser edge face, is formed thereon. Then, a ZnO layer 7, which becomes a diffusion source and a SiO₂ film 8 are formed and zinc is selectively diffused on the part which becomes the laser edge face by conducting heat treatment at about 600 deg.C. After removal of the SiN film 6, the ZnO film 7 and the SiO₂ film 8, an optical waveguide, a current blocking layer 11 and a contact layer 12 are formed. Subsequently, a proton is injected to the part which becomes the laser edge face of the contact layer 12 for the purpose of preventing a reactive current to flow to a zinc diffused region, and the contact layer 12 on the upper part of the diffusion region is enhanced in resistance.

Data supplied from the esp@cenet database - 12

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-293928.

(43)公開日 平成9年(1997)11月11日

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 S 3/18

H 0 1 S 3/18

H 0 1 L 21/265

H 0 1 L 21/265

J

審査請求 未請求 請求項の数5 O L (全 5 頁)

(21)出願番号 特願平8-106524

(22)出願日 平成8年(1996)4月26日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 多田 仁史

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72)発明者 永井 豊

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

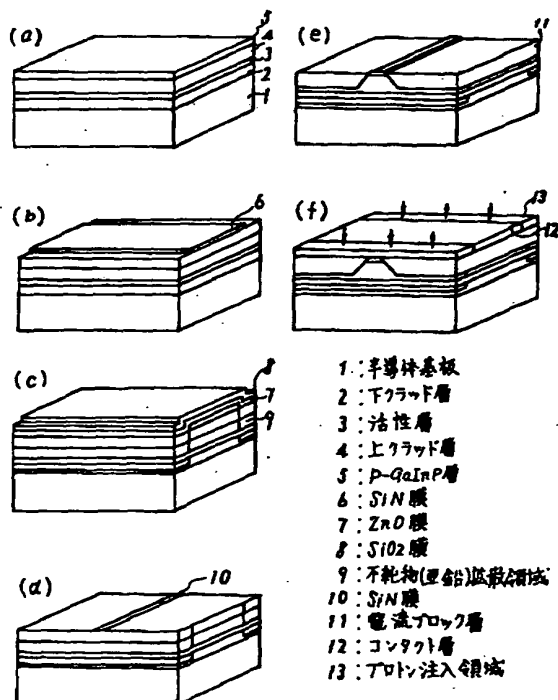
(74)代理人 弁理士 大岩 増雄

(54)【発明の名称】 半導体レーザ装置およびその製造方法

(57)【要約】

【課題】 組立時等にストレスの原因となる凹凸がない、平坦な表面の半導体レーザ装置およびその製造方法を提供する。

【解決手段】 n-GaAs基板1上に下クラッド層2、活性層3、上クラッド層4、p-GaInP層5を順次結晶成長させた上に、レーザ端面に相当する部分を数10μm程度エッチングにより除去したSiN膜を形成する。次に、拡散源となるZnO層7およびSiO₂膜8を成膜し、約600℃の熱処理を行うことでレーザ端面となる部分に選択的に亜鉛を拡散させる。SiN膜6、ZnO膜7、SiO₂膜8を除去後、光導波路、電流ブロック層11、コンタクト層12を形成する。続いて亜鉛拡散領域に無効電流が流れるのを防ぐために、コンタクト層12のレーザ端面となる部分にプロトン注入し、拡散領域上部のコンタクト層12を高抵抗化する。



(2)

1

【特許請求の範囲】

【請求項 1】 半導体基板上に活性層を含む半導体層を形成する工程、上記半導体層のレーザ端面となる部分に選択的に不純物を拡散させる工程、光導波路、電流ブロック層およびコンタクト層を形成する工程、上記コンタクト層のレーザ端面となる部分にプロトンを注入し高抵抗化する工程を含むことを特徴とする半導体レーザ装置の製造方法。

【請求項 2】 不純物を拡散する際の選択拡散マスクとして、GaAs 層を用いることを特徴とする請求項 1 記載の半導体レーザ装置の製造方法。

【請求項 3】 不純物として Zn を用いることを特徴とする請求項 1 または請求項 2 記載の半導体レーザ装置の製造方法。

【請求項 4】 半導体基板上に形成された活性層を含む半導体層、上記半導体層のレーザ端面となる部分に選択的に形成された不純物拡散領域、上記活性層上の上記半導体層中央部に形成された光導波路、この光導波路の周囲に形成された電流ブロック層、上記光導波路および電流ブロック層上に形成され、レーザ端面となる部分が高抵抗化されたコンタクト層を備えたことを特徴とする半導体レーザ装置。

【請求項 5】 コンタクト層の高抵抗化を、プロトンの注入により行ったことを特徴とする請求項 4 記載の半導体レーザ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、端面窓構造を有する半導体レーザ装置およびその製造方法に関するものである。

【0002】

【従来の技術】 光ディスクを用いた記憶装置は、取り扱う情報量の増大とともにその需要が増している。現在一般に用いられている光ディスクドライブ装置は、信号の読みとりを半導体レーザで行い、信号の記録は磁気で行う方法が主流を占めている。一方信号の読みとり及び記録を全て半導体レーザで行うディスクドライブは、装置構成がシンプルにできるため、今後主流を占めると予想される。信号の記録を半導体レーザで行うには、半導体レーザの光出力を増大させる必要があるが、一般に半導体レーザの出力を増大させるとレーザ端面が劣化しやすくなる。この端面劣化を抑制する方法の一つとして、窓構造レーザが良く知られている。窓構造レーザは、レーザ端面部に亜鉛等の不純物を拡散し、レーザ端面部のエネルギーバンドギャップを増大させることで、レーザ端面部での光吸収を抑制するもので、端面劣化を効果的に抑制することができる。

【0003】 従来の端面窓構造の半導体レーザは、例え

2

ば特開平 3-208388 号公報に示されるように、レーザ端面部に亜鉛等の不純物を拡散した後に、窓部に無効電流が流れるのを抑制するために電流ブロック層を形成していた。図 3 は、従来の半導体レーザの製造方法を示す斜視図である。図において、1 は半導体基板で、例えば n-GaAs 基板、2 は n-AlGaInP 下クラッド層、3 は活性層、4 は p-AlGaInP 上クラッド層、15 は p-GaAs 層、6 は SiN 膜、9 は亜鉛拡散領域、11 は n-GaAs 電流ブロック層、12 は p-GaAs コンタクト層、16 はレジストをそれぞれ示す。

【0004】 従来の窓構造半導体レーザの製造方法を図について説明する。まず、n-GaAs 基板 1 上に n-AlGaInP 下クラッド層 2、活性層 3、p-AlGaInP 上クラッド層 4、p-GaAs 層 15 を順次結晶成長させる（図 3-a）。続いて、SiN 膜 6 を成膜、パターニングした後（図 3-b）、上記の SiN 膜 6 をマスクにして端面部分のみに選択的に亜鉛を拡散させる（図 3-c）。次に、上記 SiN 膜 6 をパターニングしてリッジエッチング用パターンを形成する（図 3-d）。エッチングにより導波路を形成し、レジストを除去後（図 3-e）、n-GaAs 電流ブロック層 11 を成長させる（図 3-f）。続いて SiN 膜 6 を除去し、p-GaAs コンタクト層 12 を結晶成長させる（図 3-g）。このような方法で形成された半導体レーザは、Zn 拡散領域 9 上に SiN 膜 6 が不在状態で電流ブロック層 11、コンタクト層 12 を成長させるため、レーザチップ表面に図 3-g に示すような凹凸が形成される。

【0005】

【発明が解決しようとする課題】 従来の端面窓構造の半導体レーザは、上記のような方法で製造されているため、レーザチップ表面に凹凸が形成されてしまい、レーザチップをヒートシンクにボンディングする際に端面部にストレスがかかるという問題があった。

【0006】 この発明は、上記のような問題を解消するためになされたもので、組立時等にストレスの原因となる凹凸がない、表面が平坦な半導体レーザ装置およびその製造方法を提供するものである。

【0007】

【課題を解決するための手段】 この発明に係わる半導体レーザ装置の製造方法は、半導体基板上に活性層を含む半導体層を形成する工程と、半導体層のレーザ端面となる部分に選択的に不純物を拡散させる工程と、光導波路、電流ブロック層およびコンタクト層を形成する工程と、コンタクト層のレーザ端面となる部分にプロトンを注入し高抵抗化する工程を含んで製造するようにしたものである。また、不純物を拡散する際の選択拡散マスクとして、GaAs 層を用いるものである。さらに、不純物として Zn を用いるものである。

【0008】 また、この発明に係わる半導体レーザ装置

(3)

3

は、半導体基板上に形成された活性層を含む半導体層と、半導体層のレーザ端面となる部分に選択的に形成された不純物拡散領域と、活性層上の半導体層中央部に形成された光導波路と、光導波路の周囲に形成された電流ブロック層と、光導波路および電流ブロック層上に形成され、レーザ端面となる部分が高抵抗化されたコンタクト層を備えたものである。さらに、コンタクト層の高抵抗化を、プロトンの注入により行ったものである。

【0009】

【発明の実施の形態】

実施の形態1. 図1は、本発明の実施の形態1である窓構造半導体レーザの製造方法を示す斜視図である。図において、1は半導体基板で、例えばn-GaAs基板、2は例えばn-AlGaInPよりなる下クラッド層、3は活性層、4は例えばp-AlGaInPよりなる上クラッド層、5はp-GaInP層、6はSiN膜、7は不純物Znの拡散源となるZnO膜、8はキャップ層で、例えばSiO₂膜、9は不純物拡散領域で、ここでは亜鉛拡散領域、10は光導波路を形成するためのストライプパターンでSiN膜、11は例えばn-GaAs層よりなる電流ブロック層、12は例えばp-GaAs層よりなるコンタクト層、13はプロトン注入領域をそれぞれ示す。

【0010】以下、本実施の形態による窓構造半導体レーザの製造方法を図について説明する。なお、図では半導体レーザの1チップを示して説明するが、実際の工程はウエハ状で行われており、工程終了後にウエハをへき開して1チップごとに分け、端面を形成する。まずはじめに、n-GaAs基板1上に厚さ約1.5μmのn-AlGaInP下クラッド層2、活性層3、厚さ約1.5μmのp-AlGaInP上クラッド層4、厚さ約0.1μmのp-GaInP層5を順次結晶成長させる（図1-a）。結晶成長法としては、有機金属気相成長法（MOCVD）や、分子線エピタキシー法（MBE）等を用いる。続いて、SiN膜6をスパッタ法やCVD法を用いて厚さ約50nmに形成した後、レーザ端面に相当する部分に数10μm程度のストライプ状のパターニングを施す（図1-b）。次に、拡散源となるZnO層7およびキャップ層のSiO₂膜8を各々厚さ100nmでSiN膜6上にスパッタリング法等を用いて成膜し、続いて約600℃の熱処理を行うことでストライプ状にパターニングされた部分に選択的に亜鉛を拡散させる（図1-c）。

【0011】次に、HF溶液を用いてSiN膜6、ZnO膜7、SiO₂膜8を除去し、改めてウエハ表面にSiN膜10を形成し、光導波路を形成するために幅約3μmのストライプパターンを形成する（図1-d）。ウェットエッチング法にて導波路を形成した後、導波路以外の領域をn-GaAs電流ブロック層11で埋め込むように成長させる（図1-e）。次に、SiN膜10を

4

除去し、p-GaAsコンタクト層12を結晶成長させる。続いて亜鉛拡散領域に無効電流が流れるのを防ぐために、コンタクト層12のレーザ端面部となる部分にプロトンを注入し、拡散領域上部のコンタクト層12を高抵抗化する（図1-f）。最後に、n-GaAs基板1、p-GaAsコンタクト層12にオーミック電極を形成し、レーザが完成する。

【0012】本実施の形態によれば、レーザ端面部にプロトンを注入することでコンタクト層12の高抵抗化を図り、無効電流の抑制を実現できると共に、レーザチップ表面に凹凸が生じないため、J-down組立を行う際にも端面部にストレスがかかることがなく、組立工程が容易に行える。

【0013】なお、本実施の形態では、GaInP/AlGaInP系の半導体レーザについて示したが、GaAs/AlGaAs系、InGaAs/GaAs系等、窓構造が実現できる材料であれば良く、同様の効果が得られる。

【0014】実施の形態2. 図2は、本発明の実施の形態2である窓構造半導体レーザの製造方法を示す斜視図である。図において、14はp-GaAs層を示す。なお、図中実施の形態1と同一、相当部分には同一符号を付し、説明を省略する。また、図では半導体レーザの1チップを示して説明するが、実際の工程はウエハ状で行われており、工程終了後にウエハをへき開して1チップごとに分け、端面を形成するものである。

【0015】以下、本実施の形態による窓構造半導体レーザの製造方法を図について説明する。まずはじめに、n-GaAs基板1上に厚さ約1.5μmのn-AlGaInP下クラッド層2、活性層3、厚さ約1.5μmのp-AlGaInP上クラッド層4、厚さ約0.1μmのp-GaInP層5、厚さ約0.1μmのp-GaAs層14を順次結晶成長させる（図2-a）。結晶成長法としては、有機金属気相成長法（MOCVD）や、分子線エピタキシー法（MBE）等を用いる。続いて、レーザ端面に相当する部分数10μm程度のみp-GaAs層14をエッチング除去する（図2-b）。次に、拡散源となるZnO層7およびキャップ層のSiO₂膜8を各々厚さ100nmでスパッタリング法等を用いて成膜し、続いて約600℃の熱処理を行うことでストライプ状にパターニングされた部分に選択的に亜鉛を拡散させる（図2-c）。亜鉛は、GaAs層14中に拡散する速さに比べ数倍の速さでGaInP層5およびAlGaInP層4中に拡散するため、拡散温度および時間を最適化することでGaAs層14をエッチングした領域のみに選択的に亜鉛を拡散させることが可能である。

【0016】次に、HF溶液を用いてSiN膜6、ZnO膜7、SiO₂膜8を除去し、続いてp-GaAs層14も除去し、結晶表面を平坦にする。次に、ウエハ表面にSiN膜10を形成し、光導波路を形成するために

(4)

5

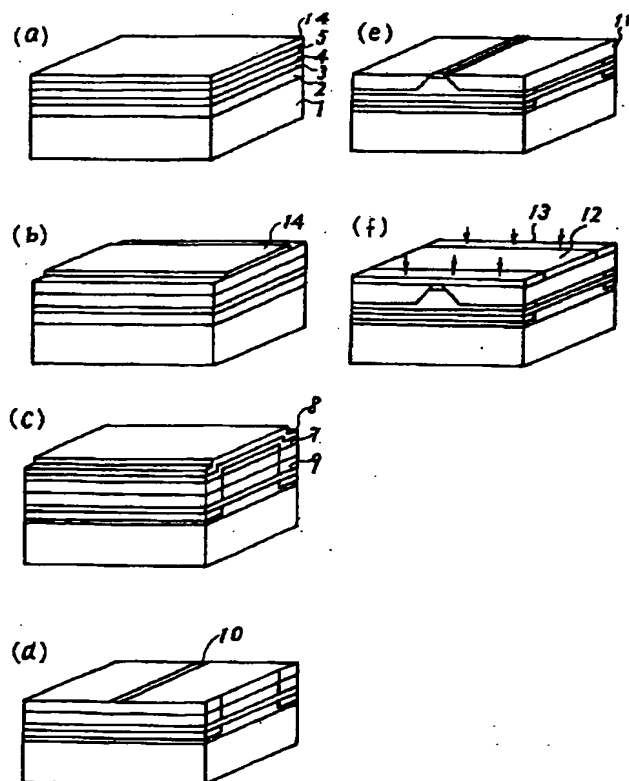
幅約3 μ mのストライプパターンを形成する(図2-d)。ウエットエッチング法にて導波路を形成した後、導波路以外の領域をn-GaAs電流ブロック層11で埋め込むように成長させる(図2-e)。次に、SiN膜10を除去し、p-GaAsコンタクト層12を結晶成長させる。続いて亜鉛拡散領域に無効電流が流れるのを防ぐために、コンタクト層12のレーザ端面となる部分にプロトンを注入し、拡散領域上部のコンタクト層12を高抵抗化する(図2-f)。最後に、n-GaAs基板1、p-GaAsコンタクト層12にオーミック電極を形成し、レーザが完成する。

【0017】本実施の形態によれば、レーザ端面部にプロトンを注入することでコンタクト層12の高抵抗化を図り、無効電流の抑制を実現できると共に、結晶表面に凹凸が生じないため、J-down組立を行う際にも端面部にストレスがかかることがなく、組立工程が容易に行える。さらに、GaAs層14を選択拡散マスクとして利用するため、SiN膜の成膜が1回で良く、実施の形態1に比べて工程数を削減することができる。

【0018】なお、本実施の形態では、GaInP/AlGaInP系の半導体レーザについて示したが、GaAs/AlGaAs系、InGaAs/GaAs系等、窓構造が実現できる材料であれば良く、同様の効果が得られる。

【0019】

【図2】



6

【発明の効果】以上のように、この発明の半導体レーザの製造方法によれば、レーザ端面部にプロトンを注入することでコンタクト層の高抵抗化を図り無効電流の抑制を実現し、レーザチップ表面に凹凸が生じないようにしたので、表面が平坦な半導体レーザが得られ、組立の際に端面部にストレスがかからず、製造が容易になる効果がある。

【0020】また、不純物拡散の際の選択拡散マスクとして、他の半導体層と同時に形成できるGaAs層を用いたので、工程数が削減され、製造が容易になる効果がある。

【図面の簡単な説明】

【図1】 この発明の実施の形態1である半導体レーザの製造方法を示す斜視図である。

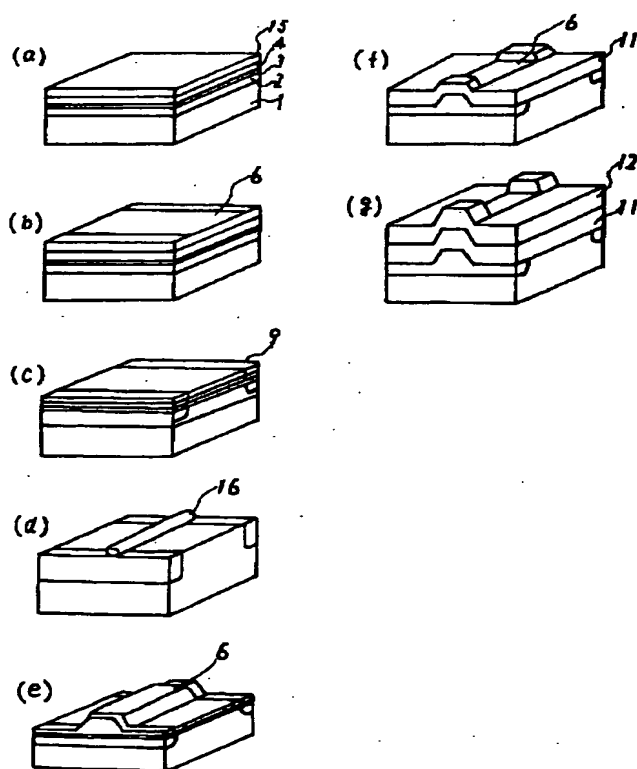
【図2】 この発明の実施の形態2である半導体レーザの製造方法を示す斜視図である。

【図3】 従来の半導体レーザの製造方法を示す斜視図である。

【符号の説明】

1 半導体基板、2、4、5 半導体層、3 活性層、6 SiN膜、7 ZnO膜、8 キャップ層、9 不純物(亜鉛)拡散領域、10 SiN膜、11 電流ブロック層、12 コンタクト層、13 プロトン注入領域、14 GaAs膜、15 p-GaAs層、16 レジスト。

【図3】



(5)

【図1】

